

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-84922

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321 23/12		9168-4M 9355-4M	H 0 1 L 21/ 92 23/ 12	F L

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-237534

(22)出願日 平成4年(1992)9月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 菊地 広

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 宇田 隆之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 林田 哲哉

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

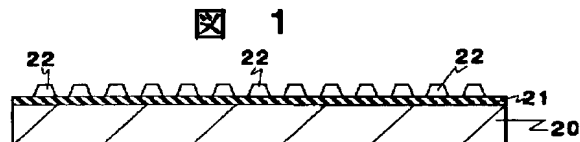
最終頁に続く

(54)【発明の名称】 基板の電極形成方法

(57)【要約】

【目的】 基板10(又は30)のバンプ電極22の形成技術において、工完短縮を図る。また、歩留まりを向上する。

【構成】 基板10(又は30)のバンプ電極22の形成技術において、バンプ電極22に対して濡れ性を持つ電極13を有する基板10を形成する工程、予め濡れ性を持たない表面上にバンプ電極22が形成された転写基板20を形成し、この転写基板20のバンプ電極22を基板10の電極13に転写する工程、前記転写基板20を除去する工程を備える。



## 【特許請求の範囲】

【請求項1】 以下の工程（1）乃至（4）を備えたことを特徴とする基板の電極形成方法。

（1）第1基板の表面上にバンパ電極材料に対して濡れ性を有する電極を形成する工程、（2）前記第1基板の電極に対応する位置において、バンパ電極材料に対して濡れ性を有していない表面上にバンパ電極が形成された第2基板を予め準備し、前記第1基板の表面に前記第2基板の表面を向い合わせ、前記第1基板の電極上に前記第2基板のバンパ電極を当接し配置する工程、（3）リフロー工程を行い、前記第1基板の電極とバンパ電極との濡れ性を確保するとともに、前記第2基板の表面から第1基板の電極の表面にバンパ電極を転写する工程、（4）前記第1基板の表面上から第2基板を取り除く工程。

【請求項2】 前記請求項1に記載される第1基板の電極に第2基板からバンパ電極を転写する工程は修復用バンパ電極を形成する工程として使用したことを特徴とする基板の電極形成方法。

【請求項3】 前記請求項1に記載される第1基板を形成する工程は複数個の電極が配置された第1基板を形成する工程であり、前記第2基板を準備する工程は前記第1基板のサイズに比べて小さいサイズを有する複数枚の第2基板を形成する工程であり、前記バンパ電極を転写する工程は前記第1基板の複数個のうちの一部の電極に複数枚のうちの一部の第2基板のバンパ電極を転写するとともに、前記第1基板の複数個のうちの残部の電極に複数枚のうちの残部の第2基板のバンパ電極を転写する工程であることを特徴とする基板の電極形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電極形成技術に関し、特に、基板の表面の電極にバンパ電極を形成する電極形成技術に適用して有効な技術に関する。

## 【0002】

【従来の技術】プリント配線基板等の実装基板にIC、LSI等の半導体ベレットを実装する方式にCCB(Controlled Collapse Bonding)方式がある。CCB方式は実装基板の電極と半導体ベレットの電極（ボンディングパッド）との間がバンパ電極（半田突起電極）を介して電気的かつ機械的に接続される。このCCB方式はワイヤボンディング方式に比べて実装密度を向上できる特徴がある。

【0003】前記CCB方式のバンパ電極の形成方法はリフトオフ法、半田ボール供給法の2種類が主流である。リフトオフ法はフォトリソグラフィ技術で形成されたフォトレジストパターンによって選択的に半導体ベレットの電極の表面上に半田を形成する方法である。半田は蒸着法又はメッキ法によって形成される。半田ボール供給法は、微細な半田ボールをガラスマスク等で半導体

ベレットの電極の表面上に整列する方法である。

【0004】前記半田ボール供給法は半田ボールの微細化、ガラスマスクのパターンの微細化の各々に限界があるので、微細化が要求される場合は一般的にリフトオフ法が採用される。

【0005】半導体ウエーハから実装までの形成プロセスを前工程プロセス、後工程プロセスの夫々に大別すると、前記リフトオフ法を採用するバンパ電極の形成工程は前工程プロセスに組み込まれる。前記前工程プロセスは、半導体ウエーハの表面に複数の同一の半導体ベレットのパターンを形成し、この半導体ウエーハにダイシングを施し複数個の半導体ベレットを形成するまでの工程を含む。後工程プロセスは前記前工程プロセスで形成された半導体ベレットを組立て実装するまでの工程を含む。つまり、バンパ電極の形成工程は、前工程プロセスにおいて、半導体ウエーハの複数個の半導体ベレットのパターン上に最終保護膜を形成した後、この最終保護膜の表面上に電極（バンパ下地電極）を形成し、この電極の表面上にリフトオフ法でバンパ電極を形成する。

【0006】前記リフトオフ法は、前述したがさらに詳細には、まず、全面にフォトリソグラフィ技術でフォトレジスト膜を塗布し硬化する。この後、このフォトレジスト膜に感光処理、現像処理、洗浄処理の各々を順次施し、電極の表面上が開口されたフォトレジストマスクを形成する。この後、前記フォトレジストマスクを使用し、フォトレジストマスクの表面上及び開口内の電極の表面上に半田を形成する。そして、前記フォトレジストマスクを除去し、このフォトレジストマスクの表面上の半田を除去し、電極の表面上の半田でバンパ電極を形成する。

【0007】なお、CCB方式については、例えば、1984年6月11日発行、日経エレクトロニクス、別冊「マイクロデバイズ」、第140頁乃至第147頁に記載されている。

## 【0008】

【発明が解決しようとする課題】前述のリフトオフ法を採用するバンパ電極の形成においては、下記の点が配慮されていない。

【0009】（1）前記バンパ電極を形成する工程は半導体ベレットを形成する前工程プロセスに組み込まれる。このため、前工程プロセス及び後工程プロセスを含む全体の形成プロセスが長くなり、形成プロセスが完了するまでに要する期間が長くなる（工完短縮が図れない）。

【0010】（2）前記バンパ電極を形成する工程は、バンパ電極を数百〔 $\mu\text{m}$ 〕の膜厚まで成膜する必要があるため、長時間を要し、この結果、全体の形成プロセスが長くなり、形成プロセスが完了するまでに要する期間が長くなる。

【0011】（3）半導体ベレットの電極にバンパ電極

を形成した後、検査を行い、不良個所のパンプ電極を取り除き、この取り除いた部分に再度修復用のパンプ電極を形成する、リペアが実質的にできない。つまり、良品のパンプ電極の表面上に再度フォトリソマスクを形成し、半田を形成するリフトオフ法を重ねて使用することは、形成プロセスの歩留まりを著しく低下する等の問題が多発する。

【0012】(4)前記パンプ電極は、半導体ベレットの電極の表面に形成する場合に限らず、実装基板の表面の電極の表面に形成する場合がある。最近、1つの実装基板に多数の半導体ベレットを実装し、実装基板自体が大型化する傾向にある。しかし、大型の実装基板にパンプ電極を形成するには、リフトオフ法を実行する大型の製造装置の開発、導入若しくは設備投資が要求される。

【0013】本発明の目的は、基板のパンプ電極形成技術において、工完短縮を図ることが可能な技術を提供することにある。

【0014】本発明の他の目的は、前記目的を達成するとともに、基板のパンプ電極形成技術において、歩留まりを向上することが可能な技術を提供することにある。

【0015】本発明の他の目的は、前記目的を達成するとともに、基板のパンプ電極形成技術において、大型基板にパンプ電極を形成できる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0018】(1)基板の電極形成方法において、第1基板の表面上にパンプ電極材料に対して濡れ性を有する電極を形成する工程、前記第1基板の電極に対応する位置において、パンプ電極材料に対して濡れ性を有していない表面上にパンプ電極が形成された第2基板を予め準備し、前記第1基板の表面に前記第2基板の表面を向い合わせ、前記第1基板の電極上に前記第2基板のパンプ電極を当接し配置する工程、リフロー工程を行い、前記第1基板の電極とパンプ電極との濡れ性を確保するとともに、前記第2基板の表面から第1基板の電極の表面にパンプ電極を転写する工程、前記第1基板の表面上から第2基板を取り除く工程を備える。

【0019】(2)前記手段(1)に記載される第1基板の電極に第2基板からパンプ電極を転写する工程は修復用パンプ電極を形成する工程として使用される。

【0020】(3)前記手段(2)に記載される第1基板を形成する工程は複数個の電極が配置された第1基板を形成する工程であり、前記第2基板を準備する工程は前記第1基板のサイズに比べて小さいサイズを有する複

数枚の第2基板を形成する工程であり、前記パンプ電極を転写する工程は前記第1基板の複数個のうちの一部の電極に複数枚のうちの一部の第2基板のパンプ電極を転写するとともに、前記第1基板の複数個のうちの残部の電極に複数枚のうちの残部の第2基板のパンプ電極を転写する工程である。

【0021】

【作用】上述した手段(1)によれば、以下の作用効果を得られる。(A)前記第1基板の表面の電極にパンプ電極を形成する一連の形成プロセスに対して、パンプ電極自体を形成するプロセスを第2基板の形成プロセスとして並列的に処理し、前記第1基板の一連の形成プロセスに第2基板からパンプ電極を転写する工程及び第2基板を取り除く工程が付加されるだけなので、パンプ電極自体を形成するプロセスに相当する分、前記第1基板の一連の形成プロセスを短縮し、工程完了までに要する期間を短縮(工完短縮)できる。(B)前記第1基板の一連の形成プロセスからパンプ電極自体を形成するプロセスを排除できる(第2基板の形成プロセスに移管できる)ので、前記第1基板の一連の形成プロセスにおいてパンプ電極自体を形成するプロセスに伴う汚染物質の発生を排除でき、前記第1基板の一連の形成プロセスにおいて歩留まりを向上できる。(C)前記第1基板の表面の電極に第2基板のパンプ電極を転写する工程は、前記第1基板の一連の形成プロセスに組み込まれたリフロー工程で兼用できるので、この工程を兼用した分、前記第1基板の一連の形成プロセスを短縮し、工程完了までに要する期間を短縮できる。

【0022】上述した手段(2)によれば、前記手段

(1)の作用効果の他に、前記第1基板の一連の形成プロセスに対して独立に第2基板に修復用パンプ電極を形成でき、しかも第2基板の修復用パンプ電極を転写するだけで第1基板の所定の電極に形成できるので、第1基板の電極に形成されたパンプ電極を簡単に短時間で修復できる(リペアができる)。

【0023】上述した手段(3)によれば、前記手段

(1)の作用効果の他に、細分化された第2基板の各々に予めパンプ電極を形成しておけば、大型サイズの第1基板にパンプ電極を形成できる。換言すれば、大型サイズの第1基板にパンプ電極を形成する大型の電極形成装置の開発、導入若しくは設備投資をなくすることができる。

【0024】以下、本発明の構成について、一実施例とともに説明する。

【0025】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0026】

【実施例】

(実施例1)本発明の実施例1である半導体ベレッ

トの電極にパンプ電極を転写する転写基板の構成について、図1（断面図）に示す。

【0027】図1に示すように、転写基板20は単結晶珪素基板を主体に構成される。この転写基板20の単結晶珪素基板の表面上には酸化珪素膜21を介在して複数のパンプ電極22が形成される。

【0028】図2（転写基板20の形成プロセスの所定工程での斜視図）に示すように、1つの転写基板20は単結晶珪素基板で形成された半導体ウエーハ20を方形状（ペレット状）にダイシングして形成される。前記半導体ウエーハ20の表面には1つの転写基板20を形成するパターン23が行列状に複数個形成される。パンプ電極22が最終的に形成される半導体ペレット10は単結晶珪素からなる半導体ウエーハから形成されるので、転写基板20を同一の半導体ウエーハから形成することは半導体ペレット10の形成プロセスが使用でき、転写基板20を簡単に形成できる。転写基板20はパンプ電極22を形成するための母体として使用される。前記半導体ウエーハ20において20Fはオリエンテーションフラットである。

【0029】前記酸化珪素膜21はパンプ電極22の材料との間に濡れ性を有しない（濡れ性が良くない）ことを目的として形成される。つまり、酸化珪素膜21とパンプ電極22とは反応層を形成せず、パンプ電極22はほとんど接着力を持たずに酸化珪素膜21の表面上に形成される。

【0030】前記パンプ電極22は、本実施例においてリフトオフ法で形成され、例えばPb-Sn系半田（例えばPb:Sn=4:6）で形成される。リフトオフ法は、前記転写基板20の表面上に酸化珪素膜21を介在してフォトレジストマスクを形成し、このフォトレジストマスクを使用し、蒸着法又はメッキ法で半田を堆積した後、フォトレジストマスクを除去し、必要な領域に半田を残し、この半田でパンプ電極22を形成する。フォトレジストマスクはフォトリソグラフィ技術で形成される。この転写基板20の表面上に形成されたパンプ電極22は半導体ペレット10の電極13が配置された位置に対応する位置において形成される。

【0031】次に、半導体ペレット10の形成プロセスにおいて、前記転写基板20のパンプ電極22を半導体ペレット10に転写する方法について、図3乃至図5（転写方法を工程毎に示す要部断面図）を使用し、簡単に説明する。

【0032】まず、前工程プロセスを施し、単結晶珪素からなる半導体ウエーハ10の素子形成面に複数の半導体ペレットの領域を形成する。この半導体ペレットの領域は、半導体ウエーハ10の素子形成面に半導体素子を形成し、この半導体素子の上面に配線層、絶縁層の夫々が交互に複数層重ね合わされた多層配線部11を形成することにより形成される（図3参照）。前記多層配線部

11のうち最も上層の配線層には電極（ボンディングパッド）12が配置される。この電極12は例えばアルミニウム合金膜を主体に形成される。電極12は多層配線部11の最も上層の最終保護膜に形成された開口を通して前記最終保護膜の表面上に形成された電極13に電氣的に接続される。前記電極13は、パンプ電極22の下地金属膜として使用され、パンプ電極22との間に反応層を形成して高い濡れ性を有する（酸化珪素膜21に比べて高い濡れ性を有する）。

【0033】前記半導体ペレットの領域に形成された電極13は、断面構造の概略を図7（A）に示すように、例えば、最終保護膜の表面側からCr膜13A、Ni膜（又はCu膜）13B、Au膜13Cの夫々を順次積層した3層構造で構成される。下層のCr膜13Aは下地の最終保護膜との接着性の向上及び電極12の腐食防止を主目的として形成される。中間層のNi膜13Bは下層のCr膜13Aとパンプ電極22との接着性の向上を主目的として形成される。上層のAu膜13Cは中間層のNi膜13Bの酸化防止を主目的として形成される。

【0034】次に、前記半導体ウエーハ10に半導体ペレットの領域毎にダイシングを行い、個々に細分化された複数の半導体ペレット10を形成する。このダイシングが終了すると、前工程プロセスがほぼ完了する。

【0035】次に、図3に示すように、前記半導体ペレット10に、この半導体ペレット10の形成プロセスに対して並列に行われかつ独立に行われた形成プロセスによって予め形成された転写基板20を向い合わせ、位置決めを行う。この位置決めは、半導体ペレット10の素子形成面側に配置された複数の電極13の夫々の位置に転写基板20の複数のパンプ電極22の夫々の位置を一致させることにより行う。

【0036】次に、図4に示すように、半導体ペレット10の複数の電極13の夫々の表面に転写基板20の複数のパンプ電極22の夫々を当接する。そして、この後、半田リフローを施し、転写基板20から半導体ペレット10の複数の電極13の夫々の表面に複数のパンプ電極22を一括して転写する（移動させる）。前記半田リフローは例えば200〔℃〕程度の温度で行われる。この半田リフローによって、パンプ電極22は半導体ペレット10の電極13と濡れ性を持ち、パンプ電極22と電極13との間はパンプ電極22と転写基板20の酸化珪素膜21との間に比べて強固に接着される。

【0037】前記半導体ペレット10の電極13にパンプ電極22が接着された場合の断面構造は図7（B）に示す。電極13の上層のAu膜13Cはパンプ電極22に吸収され、中間層のNi膜13Bの上部はパンプ電極22と反応し、Ni-Sn合金膜13Dを生成する。つまり、電極13のパンプ電極22が形成された最終的な断面構造はCr膜13A、Ni膜13B、Ni-Sn合金膜13Dの夫々を積層した3層構造で形成される。

【0038】次に、図5に示すように、半導体ベレット10から転写基板20を取り除くことにより、半導体ベレット10の電極13に強固に接着されたバンブ電極22は転写基板20から離脱され、転写が完了する。図6にバンブ電極22が転写された半導体ベレット10を斜視図で示す。

【0039】次に、後工程プロセスを施し、図8（半導体ベレットの実装状態の断面図）に示すように、実装基板30に半導体ベレット10を実装する。実装基板30は、例えばガラスエポキシ樹脂基板を母体に形成され、このガラスエポキシ樹脂基板の実装面上に複数層の配線層32を有する多層配線部31が形成される。半導体ベレット10と同様に、実装基板30の多層配線部31の表面上にはバンブ電極22との間で濡れ性が高い電極33が配置される。前記実装基板30への半導体ベレット10の実装は実装基板30の電極33に半導体ベレット10に予め形成されたバンブ電極22を接着することにより行われる。

【0040】この半導体ベレット10の実装が終了すると、後工程プロセスが完了し、併せて一連の形成プロセスが完了する。

【0041】このように、半導体ベレット（第1基板）10のバンブ電極22の形成方法において、半導体ベレット10の表面上にバンブ電極22の材料に対して濡れ性を有する電極13を形成する工程、前記半導体ベレット10の電極13に対応する位置において、バンブ電極22の材料に対して濡れ性を有していない表面上にバンブ電極22が形成された転写基板20（第2基板）を予め準備し、前記半導体ベレット10の表面に前記転写基板20の表面を向い合わせ、前記半導体ベレット10の電極13上に前記転写基板20のバンブ電極22を当接し配置する工程、半田リフロー工程を行い、前記半導体ベレット10の電極13とバンブ電極22との濡れ性を確保するとともに、前記転写基板20の表面から半導体ベレット10の電極13の表面にバンブ電極22を転写する工程、前記半導体ベレット10の表面上から前記転写基板20を取り除く工程を備える。

【0042】この構成により、以下の作用効果が得られる。（A）前記半導体ベレット10の表面の電極13にバンブ電極20を形成する一連の形成プロセスに対して、バンブ電極22自体を形成するプロセスを転写基板20の形成プロセスとして並列的に処理し、前記半導体ベレット10の一連の形成プロセスに転写基板20からバンブ電極22を転写する工程及び転写基板20を取り除く工程が付加されるだけなので、バンブ電極22自体を形成するプロセスに相当する分、前記半導体ベレット10の一連の形成プロセスを短縮し、工程完了までに要する期間を短縮できる。（B）前記半導体ベレット10の一連の形成プロセスからバンブ電極22自体を形成するプロセスを排除できる（転写基板20の形成プロセス

に移管できる）ので、前記半導体ベレット10の一連の形成プロセスにおいてバンブ電極22自体を形成するプロセスに伴う汚染物質の発生を排除でき、前記半導体ベレット10の一連の形成プロセスにおいて歩留まりを向上できる。（C）前記半導体ベレット10の表面の電極13に転写基板20のバンブ電極22を転写する工程は、前記半導体ベレット10の一連の形成プロセスに組み込まれたリフロー工程で兼用できるので、この工程を兼用した分、前記半導体ベレット10の一連の形成プロセスを短縮し、工程完了までに要する期間を短縮できる。

【0043】なお、本発明は、表面にCr膜を形成した半導体ウェーハ（単結晶珪素基板）、アルミナ基板、石英基板等、バンブ電極との濡れ性が悪い表面を有する他の基板で転写基板20を形成してもよい。

【0044】また、本発明は、Sn-Ag系半田、Au-Sn系半田等、他の低融点半田でバンブ電極22を形成してもよい。

【0045】また、本発明は、メタルマスクを使用し、半田蒸着法により転写基板20にバンブ電極22を形成してもよい。

【0046】また、本発明は、半導体ベレット10を形成する前、つまり、半導体ウェーハ10に複数個の半導体ベレットの領域が形成された時点において、前記半導体ベレットの領域の電極13に転写基板20からバンブ電極22を転写してもよい。

【0047】（実施例2）本実施例2は、半導体ベレットの特性検査の後にこの半導体ベレットを実装基板に実装する際に、バンブ電極を転写する、本発明の第2実施例である。

【0048】本発明の実施例2である半導体ベレットの検査方法及び実装方法について、図1（各工程毎に示す概略断面図）に示す。

【0049】まず、図9（A）に示すように、検査用基板（テストングボード）40に半導体ベレット10を搭載する。この搭載は、検査用基板40の電極41と半導体ベレット10の電極13との間にバンブ電極22を介在して行われる。そして、検査用基板40を通して半導体ベレット10の回路システムの特性検査を行う。

【0050】次に、図9（B）に示すように、バンブ電極22を加熱し溶融しながら、検査用基板40から半導体ベレット10を離脱する。この後、前記半導体ベレット10の電極13に残存するバンブ電極22を取り除く。バンブ電極22はCu基板に吸収させることにより簡単に除去できる。

【0051】次に、図9（C）に示すように、実装基板30に転写基板20を向い合わせ、実装基板30の電極33と転写基板20のバンブ電極22との位置決めを行う。

【0052】次に、図9（D）に示すように、半田リフ

ローを施し、実装基板30の電極33に転写基板20からパンプ電極22を転写する。

【0053】次に、図9(E)に示すように、実装基板30にパンプ電極22を介在して半導体ベレット10を実装する。

【0054】このように、本発明のパンプ電極22の形成方法によれば、検査用基板40にパンプ電極22を介在して半導体ベレット10を搭載し、この半導体ベレット10の特性検査を行った後に、実装基板30又は半導体ベレット10に再度パンプ電極22を簡単に形成し、実装基板30に半導体ベレット10を実装できる。

【0055】また、本発明のパンプ電極22の形成方法によれば、実装基板30に複数の半導体ベレット10が実装され、いくつかの半導体ベレット10に不備が発生した場合、不備が発生した半導体ベレット10を取り除き、この取り除いた部分に修復用としてパンプ電極22を転写し、新しい半導体ベレット10を実装しなおすことができる。つまり、リペアが可能になる。

【0056】また、本発明のパンプ電極22の形成方法によれば、半導体ベレット10の電極13に不備が発生した場合、予めFIB(Focus Ion Beam)法で部分的に修正し、この後にパンプ電極22を形成することができる。

【0057】また、本発明のパンプ電極22の形成方法によれば、複数枚の転写基板20を繰り返し使用し、パンプ電極22を転写することにより、大型サイズの実装基板30にパンプ電極22を形成できる。この結果、大型サイズの実装基板30にパンプ電極22を形成する大型の電極形成装置の開発、導入若しくは設備投資をなくすことができる。

【0058】(実施例3)本実施例3は、転写基板にパンプ電極を形成する別の方法を説明する、本発明の第3実施例である。

【0059】本発明の実施例3である転写基板の形成方法について、図10(パンプ形成装置の概略構成図)に示す。

【0060】本実施例3の転写基板20は、図10に示すように、酸化珪素膜21の表面上の全面にパンプ電極形成層22Fを形成し、このパンプ電極形成層22Fにパターンニングを行い、パンプ電極22を形成する。パンプ電極形成層22Fのパターンニングはレーザ光52で行う。レーザ光52はレーザ発振源51から発振され、このレーザ発振源51はレーザ制御回路50で制御

される。

【0061】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0062】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0063】基板のパンプ電極形成技術において、工短縮を図れる。

【0064】基板のパンプ電極形成技術において、歩留まりを向上できる。

【0065】基板のパンプ電極形成技術において、大型基板にパンプ電極を形成できる。

【図面の簡単な説明】

【図1】 本発明の実施例1の転写基板の断面図。

【図2】 前記転写基板のウェーハ状態の斜視図。

20 【図3】 転写方法を説明する第1工程の半導体ベレット及び転写基板の断面図。

【図4】 第2工程の半導体ベレット及び転写基板の断面図。

【図5】 第3工程の半導体ベレット及び転写基板の断面図。

【図6】 第4工程の半導体ベレットの斜視図。

【図7】 (A)は半導体ベレットの電極の断面図、

(B)はパンプ電極が形成された状態の電極の断面図。

30 【図8】 第5工程の実装基板及び半導体ベレットの断面図。

【図9】 (A)乃至(E)は本発明の実施例2の転写方法を説明する各工程毎の断面図。

【図10】 本発明の実施例3のパンプ電極の形成方法を示す構成図。

【符号の説明】

10…半導体ベレット

13, 33, 41…電極

20…転写基板

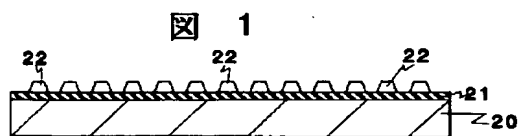
21…酸化珪素膜

40 22…パンプ電極

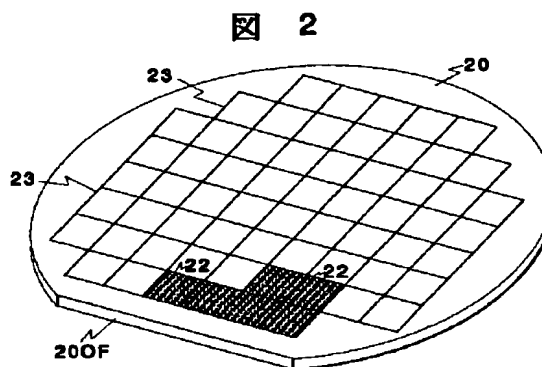
30…実装基板

40…検査用基板

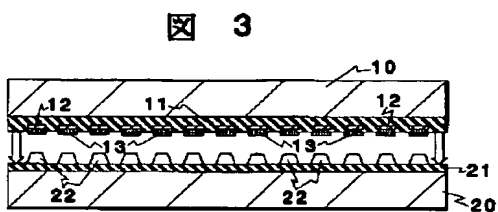
【図1】



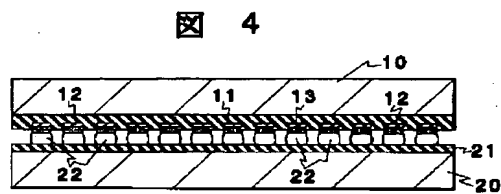
【図2】



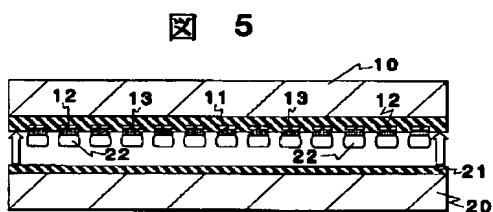
【図3】



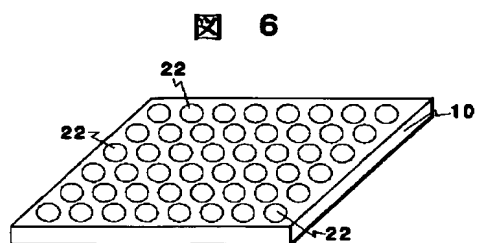
【図4】



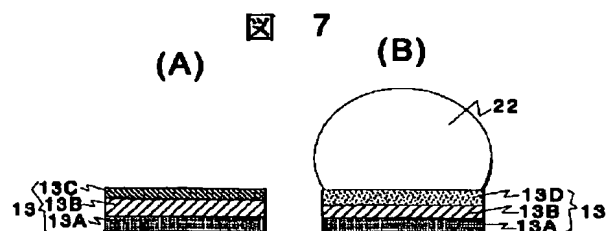
【図5】



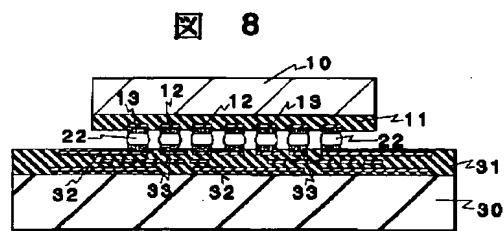
【図6】



【図7】

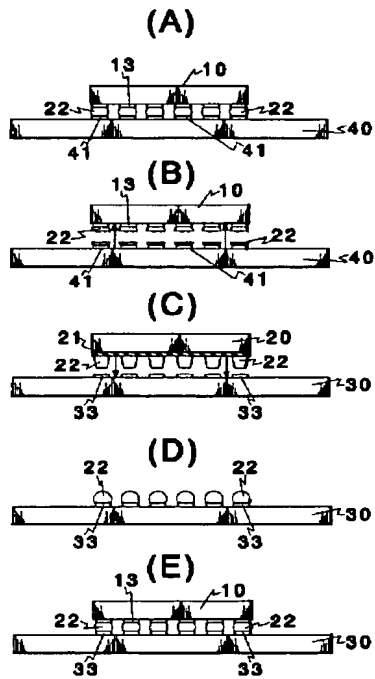


【図8】



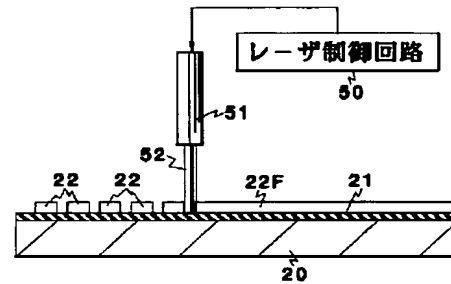
【図9】

図 9



【図10】

図 10




---

 フロントページの続き

(72)発明者 佐藤 俊彦  
 東京都青梅市今井2326番地 株式会社日立  
 製作所デバイス開発センタ内



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成13年3月16日(2001.3.16)

【公開番号】特開平6-84922  
 【公開日】平成6年3月25日(1994.3.25)  
 【年通号数】公開特許公報6-850  
 【出願番号】特願平4-237534  
 【国際特許分類第7版】

H01L 21/321  
 23/12

【F I】

H01L 21/92 F  
 23/12 L

【手続補正書】

【提出日】平成11年4月1日(1999.4.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 実装方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 以下の工程(1)乃至(5)を備えたことを特徴とする実装方法。

(1) 第1基板の表面上にバンブ電極材料に対して濡れ性を有する電極を形成する工程、

(2) 前記第1基板の電極に対応する位置において、バンブ電極材料に対して濡れ性を有しない表面上にバンブ電極が形成された第2基板を予め準備し、前記第1基板の表面に前記第2基板の表面を向い合わせ、前記第1基板の電極上に前記第2基板のバンブ電極を当接して配置する工程、

(3) リフロー工程を行い、前記第1基板の電極とバンブ電極との濡れ性を確保するとともに、前記第2基板の表面から第1基板の電極の表面にバンブ電極を転写する工程、

(4) 前記第1基板の表面上から第2基板を取り除く工程、

(5) 前記第2基板に第3基板を対向し、前記第2基板に形成されたバンブ電極と第3基板に形成されたバンブ電極とを電気的に接続する工程。

【請求項2】 請求項1に記載の実装方法において、前記第1基板の電極に第2基板からバンブ電極を転写する

工程は修復用バンブ電極を形成する工程として使用したことを特徴する実装方法。

【請求項3】 請求項1に記載の実装方法において、前記第1基板を形成する工程は複数個の電極が配置された第1基板を形成する工程であり、前記第2基板を準備する工程は前記第1基板のサイズに比べて小さいサイズを有する複数枚の第2基板を形成する工程であり、前記バンブ電極を転写する工程は前記第1基板の複数個のうちの一部の電極に複数枚のうちの一部の第2基板のバンブ電極を転写するとともに、前記第1基板の複数個のうちの残部の電極に複数枚のうちの残部の第2基板のバンブ電極を転写する工程であることを特徴とする実装方法。

【請求項4】 請求項1乃至3のいずれか1項に記載の実装方法において、前記濡れ性を有しない表面は、酸化珪素膜表面であることを特徴とする実装方法。

【請求項5】 請求項1乃至4のいずれか1項に記載の実装方法において、前記濡れ性を有する電極は、表面がAuからなることを特徴とする実装方法。

【請求項6】 請求項1乃至4のいずれか1項に記載の実装方法において、前記濡れ性を有する電極は、Cr、Ni、Auが順次積層された構造を有することを特徴とする実装方法。

【請求項7】 請求項1乃至6のいずれか1項に記載の実装方法において、前記第2基板は、半導体ベレットであり、前記バンブ電極形成前に特性検査が行われることを特徴とする実装方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】(5)本願の先願として特願平4-44554号(特開平5-243232号公報)があるが、この先願には「配線基板へ半導体ベレットを実装する工

程」に関する記載はない。本発明の目的は、基板のバンブ電極形成において、工完短縮を図ることが可能な実装方法を提供することにある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】本発明の他の目的は、前記目的を達成するとともに、基板のバンブ電極形成において、歩留まりを向上することが可能な実装方法を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】本発明の他の目的は、前記目的を達成するとともに、基板のバンブ電極形成において、大型基板にバンブ電極を形成できる実装方法を提供することにある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】(1) 実装方法において、第1基板の表面上にバンブ電極材料に対して濡れ性を有する電極を形成する工程、前記第1基板の電極に対応する位置において、バンブ電極材料に対して濡れ性を有しない表面上にバンブ電極が形成された第2基板を予め準備し、前記第1基板の表面に前記第2基板の表面を向い合わせ、前記第1基板の電極上に前記第2基板のバンブ電極を当接し配置する工程、リフロー工程を行い、前記第1基板の電極とバンブ電極との濡れ性を確保するとともに、前記第2基板の表面から第1基板の電極の表面にバンブ電極を転写する工程、前記第1基板の表面上から第2基板を取り除く工程、前記第2基板に第3基板を対向し、前記第2基板に形成されたバンブ電極と第3基板に形成された

バンブ電極とを電氣的に接続する工程を備える。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】(2) 前記手段(1)の実装方法において、前記第1基板の電極に第2基板からバンブ電極を転写する工程は修復用バンブ電極を形成する工程として使用される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】(3) 前記手段(1)又は(2)の実装方法において、前記第1基板を形成する工程は複数個の電極が配置された第1基板を形成する工程であり、前記第2基板を準備する工程は前記第1基板のサイズに比べて小さいサイズを有する複数枚の第2基板を形成する工程であり、前記バンブ電極を転写する工程は前記第1基板の複数個のうちの一部の電極に複数枚のうちの一部の第2基板のバンブ電極を転写するとともに、前記第1基板の複数個のうちの残部の電極に複数枚のうちの残部の第2基板のバンブ電極を転写する工程である。

(4) 前記手段(1)乃至(3)のいずれか1つの実装方法において、前記濡れ性を有しない表面は、酸化珪素膜表面である。

(5) 前記手段(1)乃至(4)のいずれか1つの実装方法において、前記濡れ性を有する電極は、表面がAuからなる。

(6) 前記手段(1)乃至(4)のいずれか1つの実装方法において、前記濡れ性を有する電極は、Cr、Ni、Auが順次積層された構造を有する。

(7) 前記手段(1)乃至(6)のいずれか1つの実装方法において、前記第2基板は、半導体ベレットであり、前記バンブ電極形成前に特性検査が行われる。